

多模态门电路自动合成算法的研究

杨 俊, 甘朝晖

(武汉科技大学 信息科学与工程学院, 湖北 武汉 430081)

摘 要: 提出了一种全新的多模态门电路自动合成的方法, 利用“图”这种数据结构来表示电路, 并专门设计出一系列修改电路结构和参数的操作算子, 最终成功地实现了多模态门电路的自动合成. 实验表明该方法能够有效地自动合成各种多模态门电路.

关键词: 多模态门电路; 自动合成; 图编码; 克隆选择算法;

中图分类号: TP31

TP31 文献标识码: A

文章编号: 1000-7180(2012)10-0166-07

The Research of Automatic Synthesis Algorithm For Designing Polymorphic Gate

YANG Jun, GAN Chao-hui

(School of Information Science and Technology, Wuhan University of Science and Technology,
Wuhan 430081, China)

Abstract: This characteristic enables polymorphic circuit can be widely applied to fault diagnosis of digital circuit, synthesis of multifunctional digital circuit, etc. Polymorphic gate plays a vital role in the design of polymorphic circuit. However, until so far, there is no effective method for the synthesis of polymorphic gate. This paper proposes a new method for the synthesis of polymorphic gate, which use graph to represent circuit. The method specially designs a serial of operator to modify the circuit structure or parameter. Experiment results show that the method can synthesis various of polymorphic gate effectively.

Key words: polymorphic gates; automatic synthesis; graph encode; clonal selection algorithm;

1 引言

多模态电路是由 Adrian Stoica^[1-3] 等人发现的一种全新的电子电路. 与传统电路相比, 多模态电路在不改变电路结构的情况下, 仅仅改变电路的某些参数(例如: 供电电压和控制信号), 或者电路的工作环境改变时(例如, 温度变化)就能使电路实现不同的功能. 一个由温度控制的多模态 AND/OR 门电路, 当环境温度为 27 °C 的时候, 电路实现 AND 门功能, 当环境温度达到 125 °C 的时候, 电路实现 OR 门功能. 由于多模态电路在不需要任何电路结构重组的情况下, 能够通过电路某些参数的变化而实现不同的功能, 使得多模态电路能够在许多领域得到

广泛的应用.

Lukas Sekanina^[7] 利用多模态门^[1-3] 电路作为基本模块, 设计出具有自检测功能的全加法器, 该加法器可利用普通的输入信号作为测试向量, 来检测当前电路中是否出现固定“0”故障或者固定“1”故障. Ardakani^[8-9] 利用多模态门电路设计出具有自检测功能的加法器, 该加法器能用较少的测试向量检测出电路中所有的固定“0”故障或者固定“1”故障. Lukas Sekanina 还利用多模态门电路设计出多模态 FIR 滤波器^[10], 当电源供电不足时, 该滤波器能够自动改变其滤波系数并且断开部分电路的连接, 以保证滤波器能正常工作. Ruzicka^[11] 将多模态门电路应用到时序数字电路当中, 设计出了可靠的多模

收稿日期: 2012-02-08; **修回日期:** 2012-04-05

基金项目: 湖北省自然科学基金(2011CDC075)

态计数器.该计数器能够依据环境或者电路自身的变化实现“5—状态”和“7—状态”计数器之间的切换.

针对多模态电路设计的研究主要分为两个方面:多模态门电路的设计和多模态数字电路的设计.其中,多模态数字电路的设计是建立在多模态门电路存在的基础之上的. Lukas Sekanina^[4-6]等人的研究代表着多模态数字电路设计的现有水平.他们利用多模态门电路作为电路设计的基本模块,使用 CGP 算法合成出较复杂的多模态组合逻辑电路.由以上分析可以看出,多模态门电路是多模态数字电路的基础.

在多模态门电路的设计研究方面, Adrian Stoi-ca 等人采用无约束的进化算法来合成多模态门电路,电路以 MOS 管任意的拓扑结构相连.由于 MOS 管的连线方式需要符合 MOS 管元件的电气特性,因此任意的拓扑结构相连会造成电路结构的不合理,增加了元件的冗余,增大了电路的路由空间,使得电路的功耗增加.针对这些缺点,叶勇^[12]等人利用 Koza^[13]提出的 GP 算法来实现多模态门电路的设计.该方法首先根据设计需要选择输入、输出以及控制信号,构造出相应的“胚芽电路”;再利用四种“电路构建函数”来使“胚芽电路”生长和变异,最终成功设计了一个由控制信号 V_{control} 控制的 AND/XOR 多模态门电路.该方法是使用“树”来表示模拟电路的,而“树”并不是最理想地表示模拟电路的数据结构,因为模拟电路实质上是一种“图”的结构.“树”与电路之间的编解码过程需要使用较复杂的映射规则^[15-16],这将使得算法的复杂性大大增加,同时也将降低多模态门电路的合成效率.

本文提出了一种全新的多模态门电路的自动合成方法.该方法使用“图”来表示模拟电路,设计了一系列专门用于修改电路结构和参数的操作算子,这些操作算子可以直接对图的结构进行操作,并且能保证图的完整性,因此也就保证了电路的有效性,减少了无效电路的产生,使得算法能够更好地遍历整个搜索空间以提高整个算法的效率.

2 多模态门电路自动合成方法

本文所提出的多模态门电路自动合成方法主要包括二个部分:模拟电路编码和最优算法.由于本文的研究目标是要在计算机上自动设计出多模态门电路,因此,首要的工作是要选择一种能表示多模态门电路的数据结构.而模拟电路实际上是一种“图”的

结构,使用“图”这种数据结构,能够在计算机中更加直观、方便地表示和操作电路,因此我们使用“图”的数据结构来对电路进行编码.然后,我们使用克隆选择算法^[18-19]作为最优搜索算法,专门设计了几种对图进行直接操作的操作算子,可以对以“图”结构表示的电路种群进行克隆、高频变异以及替换操作,寻找出最优化的结果,再将最优化的“图”结果转换成对应的电路结构,就可以得到满足设计需求的多模态门电路.

2.1 模拟电路编码

模拟电路可以看作是一种图的结构,图的顶点表示元件之间的连接,用边的属性来表示元件的参数和类型.元件包括两端元件(电阻、电容和电感等)和多端元件(三极管和场效应管等).对两端元件而言,用一条边来表示其类型和参数,它的两个顶点则表示该器件与电路中其他元件或输入输出信号的连接;像三极管那样的三端器件,用边来表示其任意两个引脚,边的属性用来表示元件的类型、参数以及第三个引脚的指向.图 1 中说明了用一条边表示三端元件的过程.

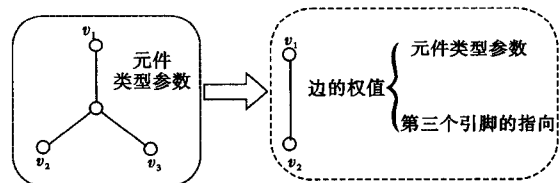


图 1 用一条边表示三端口元件的过程

在图 1 中,三极管用一条从 V_1 到 V_2 的边来表示,边的属性包括元件的参数类型以及第三个引脚的指向,即三极管第三个引脚的指向“隐藏”在了边的属性当中.

本文使用“无向双连通多重图”来表示模拟电路.目的是为了使得图中的一对顶点之间可以并联多个元件.使用双连通图的目的是为了保证电路当中没有孤立的元件,使得电路的连通性和有效性得到保证.因此,“无向双连通多重图”的使用能够有效地减少电路合成过程中错误电路的产生,提高整个算法的搜索效率.图 2 中展示了一个模拟电路被转换成一个“无向双连通多重图”的过程.

2.2 多模态门电路自动合成算法

克隆选择算法是由 de Castro 和 Von Zuben 等人^[18-19]提出的一种人工免疫算法.它是一种模仿生物克隆选择原理的随机全局优化方法.该算法将待解决的问题定义为抗原,将问题解的集合定义为抗

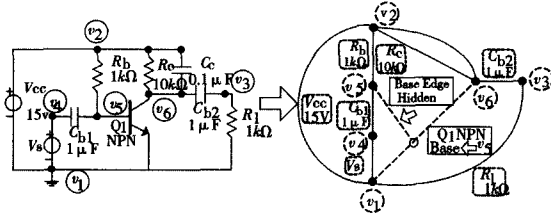


图2 有源电路及其图的表示

体,随机产生抗体试图与抗原进行匹配,以此来寻找解决问题的最优解.本文所使用的多模态门电路自动合成算法并不是使用传统意义上的克隆选择算法,因为,传统意义上的克隆选择算法所解决的问题都是一些数字问题,而本文所要解决的多模态门电路自动合成问题是一个电路问题,也可以把它看成是一种图结构最优化的问题.因此,本文提出一种基于“图”编码的克隆选择算法去寻找图结构的最优化结果.该方法将待解决的问题编码成“图”这种数据结构,并且专门设计了几种对图结构直接进行修改的操作算子,使得算法能完成种群的克隆、变异以及替换操作.具体步骤如下:

(1) 初始化:用来产生初始电路种群.所有的初始电路都是在模板电路的基础上随机产生的.本文中所涉及到的多模态门电路均指的是由控制电压 V_{control} 控制的多模态电路.因此根据设计需要,可以构造出相应的初始电路模板.如图3所示,模板电路有固定的输入信号源、供电电源、控制电源和负载电阻.随机性地对模板电路中各顶点进行添加点或者添加边的操作,每次进行添加点或者边的操作时都要检查操作后的图是否满足双连通性.算法将一直向图中添加点或边,直到满足双连通性的电路生成为止.

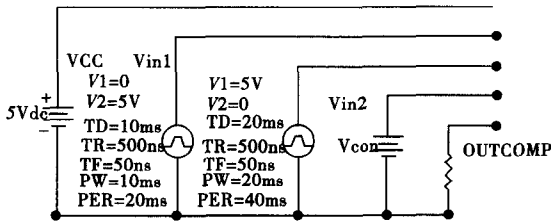


图3 初始电路模板

(2) 亲和力计算:评估每个电路性能的过程也称作个体的亲和力计算.本文利用 PSPICE 电路仿真软件来对电路性能进行评估.首先将电路的图编码转换成 PSPICE 格式的网络表,然后利用 PSPICE 仿真软件得到仿真结果,最后利用 PSPICE 仿真结果来计算个体的亲和力大小.具体步骤如下:

① 假定要合成一个由控制电压 V_{control} 控制的 2 输入 1 输出的多模态门电路 A/B,当控制电压 $V_{\text{control}} = 3.3 \text{ V}$ 时,该电路实现 A 功能;当 $V_{\text{control}} = 1.8 \text{ V}$ 时,该电路实现 B 功能.

② 当 $V_{\text{control}} = 3.3 \text{ V}$ 时,将候选电路对应的网络表输入到 PSPICE 仿真软件当中,进行电路瞬态分析,得到相应的仿真结果.分别对输入信号和输出结果进行采样,得到两个输入电压采样值序列 $X(x_1 x_2 x_3 \cdots x_n)$ 、 $Y(y_1 y_2 y_3 \cdots y_n)$ 和一个输出电压采样值序列 $Z(z_1 z_2 z_3 \cdots z_n)$.其中 z_i 是 x_i 和 y_i 的输出结果.

③ 定义 V_h 、 V_d 分别为输入电压值序列高低阈值; V_h 、 V_d 分别为输出电压值序列高低阈值.根据输入输出电压高低阈值,分别将输入和输出电压采样值序列 $X(x_1 x_2 x_3 \cdots x_n)$ 、 $Y(y_1 y_2 y_3 \cdots y_n)$ 和 $Z(z_1 z_2 z_3 \cdots z_n)$ 转换成对应的二进制序列 $X_a(x_{a1} x_{a2} x_{a3} \cdots x_{an})$ 、 $Y_a(y_{a1} y_{a2} y_{a3} \cdots y_{an})$ 和 $Z_a(z_{a1} z_{a2} z_{a3} \cdots z_{an})$,转换公式如式(1)所示:

$$\begin{aligned} x_{ai} &= \begin{cases} 0, & x_i < V_h \\ 1, & x_i \geq V_h \end{cases} \\ y_{ai} &= \begin{cases} 0, & y_i < V_d \\ 1, & y_i \geq V_d \end{cases} \\ z_{ai} &= \begin{cases} 0, & z_i < V_d \\ 1, & z_i \geq V_h \end{cases} \end{aligned} \quad (1)$$

其中 $x_{ai} \in X_a(x_{a1} x_{a2} x_{a3} \cdots x_{an})$, $y_{ai} \in Y_a(y_{a1} y_{a2} y_{a3} \cdots y_{an})$, $z_{ai} \in Z_a(z_{a1} z_{a2} z_{a3} \cdots z_{an})$, $x_i \in X(x_1 x_2 x_3 \cdots x_n)$, $y_i \in Y(y_1 y_2 y_3 \cdots y_n)$, $z_i \in Z(z_1 z_2 z_3 \cdots z_n)$.

④ 根据输入二进制序列 $X_a(x_{a1} x_{a2} x_{a3} \cdots x_{an})$ 和 $Y_a(y_{a1} y_{a2} y_{a3} \cdots y_{an})$ 计算出门电路 A 的理论输出值,得到理论输出二进制序列 $U_a(u_{a1} u_{a2} u_{a3} \cdots u_{an})$.

⑤ 比较理论输出二进制序列 $U_a(u_{a1} u_{a2} u_{a3} \cdots u_{an})$ 和实际输出二进制序列 $Z_a(z_{a1} z_{a2} z_{a3} \cdots z_{an})$,计算门电路 A 的亲和力 $F_a = \sum_{i=1}^n f_i$.其中

$$f_i = \begin{cases} 0, & z_{ai} \neq u_{ai} \\ 1, & z_{ai} = u_{ai} \end{cases} \quad (2)$$

⑥ 同理,当 $V_{\text{control}} = 1.8 \text{ V}$ 时计算出电路 B 的亲和力 F_b .

⑦ 计算多模态门电路亲和力的大小:

$$F = F_a + F_b \quad (3)$$

(3) 选择克隆:将完成评估后的种群 P 中的所有个体按照亲和力的大小降序排列.选择亲和力较

高的 n 个个体形成临时种群 P_s , 被选中的个体将被克隆, 每个个体克隆的个数由式(4)确定:

$$N_c = \text{round}\left(\frac{\beta \cdot n}{i}\right) \quad (4)$$

其中,

N_c 为每个个体被克隆的份数, β 是克隆因子, n 是种群 P_s 的个体总数, i 为当前个体在种群 P_s 中的序号, round 是四舍五入取整函数. 克隆操作完成后的个体形成克隆种群 P_c .

(4) 变异: 克隆种群 P_c 经过变异过程后形成变异种群 P_m , 变异过程产生新的个体. 对个体(也就是模拟电路)进行变异操作实质上是对电路结构进行相应的修改. 本文使用以下 6 种操作算子来对电路进行变异操作.

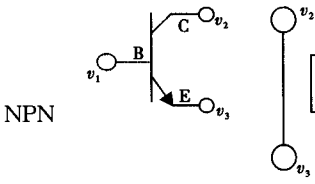
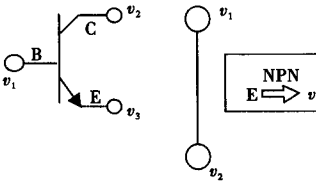
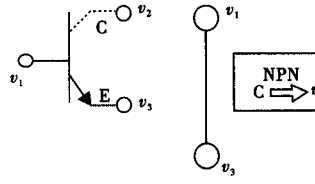
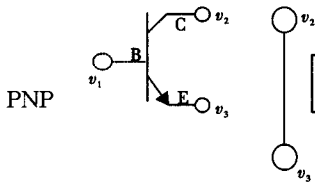
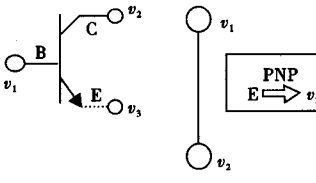
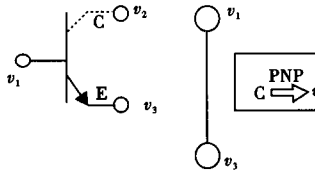
① 添加边操作算子: 此操作随机选择电路中两个不同的顶点 V_m, V_n , 在这两个顶点之间添加一条

边 E , 边的属性也是随机选择的. 例如, 图 4(a) 中顶点 V_2, V_3 被随机选中, 并在其之间随机添加了一条边 C_{b3} . 操作结果如图 4(b) 所示.

② 删除边操作算子: 此操作随机选择电路图中任意两顶点 V_m, V_n , 若这两顶点之间边的个数 $n_E \geq 2$, 则任意选择其中一条边进行删除. 例如, 图 4(a) 中顶点 V_2, V_6 的边 C_c 被随机选中并删除, 操作结果如图 4(c) 所示.

③ 修改操作算子: 此操作随机选择图中任意一条边 E . 若 E 为无源元件, 则改变该无源元件的元件类型或参数; 若 E 为有源元件则从表 1 中选取一个元件来替换当前边. 例如, 图 4(a) 中顶点 V_2, V_6 之间的边 C_c 被随机选中, 并被修改为 R_b . 操作结果如图 4(d) 所示.

表 1 NPN 和 PNP 的两种类型的 BJT 的编码方式

	基极隐藏极其表示	发射极隐藏极其表示	集电极隐藏极其表示
NPN			
PNP			

④ 添加顶点操作算子: 该操作向图中添加一个顶点 V_u , 并随机选择图中任意两顶点 V_m, V_n , 然后分别在顶点 V_u, V_m , 以及 V_u, V_n 之间添加边. 例如, 在图 4(a) 中 V_2, V_3 之间添加顶点 V_7 , 同时分别在 V_2, V_7 以及 V_3, V_7 之间添加边 R_1 和 C_{b3} , 操作结果如图 4(e) 所示.

⑤ 删除顶点操作算子: 该操作随机删除图中任一顶点 V_m , 并删除所有与其相连的边. 同时为了保证图的双连通性, 该操作在图中随机添加 n 条边, n 为与顶点 V_m 之间有边连接的顶点的个数. 例如, 图 4(a) 中顶点 V_6 被随机选中删除, 与其相邻的边 C_c, R_c, C_{b2}, Q_1 也被删除, 同时为了保证图的双连通性, 分别在 V_1, V_2, V_3 两两之间各添加一条边 C_1, C_2, R_l . 操作结果如图 4(f) 所示.

⑥ 串联操作算子: 该操作随机选择一条边 $E(V_m, V_n)$, 其中 V_m, V_n 为 E 的两个顶点. 然后添加一个新的顶点 V_u , 同时将 E 移动至顶点 V_m 与 V_u 之间, 最后在顶点 V_u 与 V_n 之间随机添加一条新的边 E_u . 例如, 图 4(a) 中的 V_6 和 V_3 之间串联了一条边 R_l , 操作结果如图 4(g) 所示.

(5) 重新评估: 种群 P_m 中的个体将被重新评估, 评估过程同步骤(2).

(6) 重新选择: 评估完成后的种群 P_m 中的个体将按照亲和力的大小降序排列, 选出亲和力较高的 m 个个体, 形成种群 P_R . 如果种群 P_R 中个体亲和力高于种群 P 中的个体, 则种群 P 中亲和力较低的个体将被替代.

(7) 替换: 为了保证种群的多样性, 算法将随机

产生 d 个新的个体替换种群中亲和力较低的个体形成下一代种群。

反复执行步骤(2)至(7)直到达到最大代数或者已经生成所需要的电路。

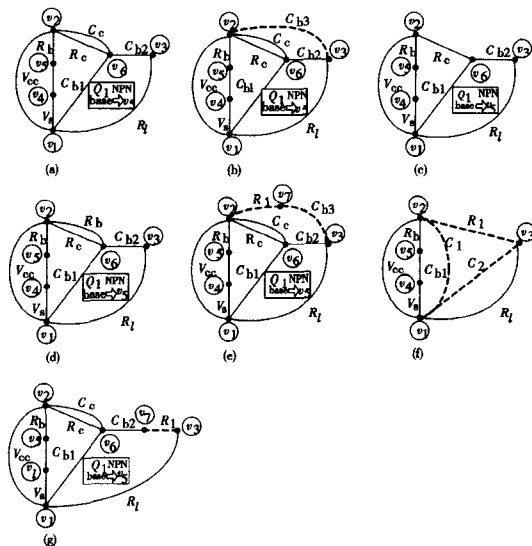


图4 应用6种操作算子结果

3 实验结果

本文设计了四个由控制电压 V_{control} 控制的多模态门电路:“AND/OR”、“XOR/AND”、“NAND/NOR”、“NXOR/AND”门电路以验证本文所提出算法的正确性.本文中算法用c语言编写,开发环境为 Visual C++6.0.

3.1 实验一:多模态“AND/OR”门电路

实验一要求设计一个由控制电压 V_{control} 控制的2输入1输出多模态门电路 AND/OR. 当 $V_{\text{control}} = 1.8 \text{ V}$ 时,该电路实现 AND 门功能;当 $V_{\text{control}} = 3.3 \text{ V}$ 时,该电路实现 OR 门功能. 最终所生成电路及其 PSPICE 仿真结果如图5所示.

实验中我们以 3.3 V 作为逻辑高电平“1”, 1.8 V 作为逻辑低电平“0”,不同控制电压信号下电路所实现的多模态门的真值表如表2所示,通过真值表可以看出当 V_{control} 分别为 1.8 V 和 3.3 V 时,电路分别实现了 AND 门和 OR 门功能.

表2 AND/OR 电路真值表

输入 V_1	输入 V_2	输入 V_r	
		($V_{\text{control}} = 1.8 \text{ V}$)	($V_{\text{control}} = 3.3 \text{ V}$)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1

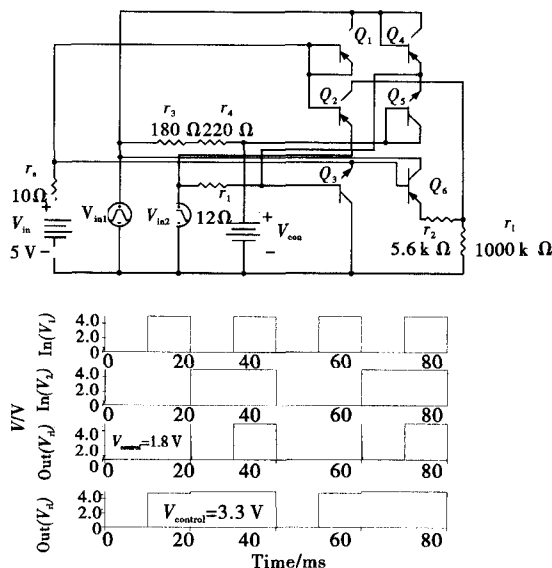


图5 多模态 AND/OR 门电路及其 PSPICE 仿真结果

3.2 实验二:多模态“XOR/AND”门电路

实验二要求设计一个由控制电压 V_{control} 控制的2输入1输出多模态门 XOR/AND 电路. 当 $V_{\text{control}} = 0 \text{ V}$ 时,该电路实现 XOR 门功能;当 $V_{\text{control}} = 3.3 \text{ V}$ 时,该电路实现 AND 门功能. 最终所生成电路及其 PSPICE 仿真结果如图6所示.

实验中我们以 3.3 V 作为逻辑高电平“1”, 1.8 V 作为逻辑低电平“0”,不同控制电压信号下电路所实现的多模态门的真值表如表3所示,通过真值表可以看出当 V_{control} 分别为 1.8 V 和 3.3 V 时,电路分别实现了 XOR 门和 AND 门功能.

表3 XOR/AND 电路真值表

输入 V_1	输入 V_2	输入 V_r	
		($V_{\text{control}} = 0 \text{ V}$)	($V_{\text{control}} = 3.3 \text{ V}$)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3.3 实验三:多模态“NXOR/AND”门电路

实验三要求设计一个由控制电压 V_{control} 控制的2输入1输出多模态门电路 NXOR/AND. 当 $V_{\text{control}} = 1.8 \text{ V}$ 时,该电路实现 NXOR 门功能;当 $V_{\text{control}} = 3.3 \text{ V}$ 时,该电路实现 AND 门功能. 最终所生成电路及其 PSPICE 仿真结果如图7所示.

实验中我们以 3.3 V 作为逻辑高电平“1”, 1.8 V 作为逻辑低电平“0”,不同控制电压信号下电路所实现的多模态门的真值表如表4所示,通过真值表

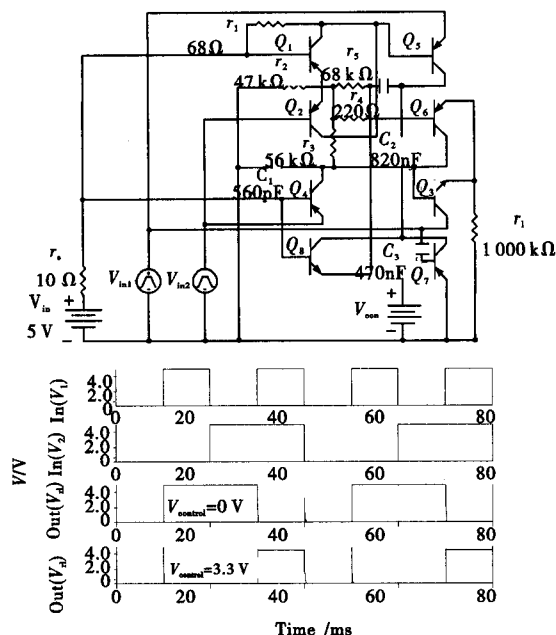


图6 多模态 XOR/AND 门电路及其 PSPICE 仿真结果

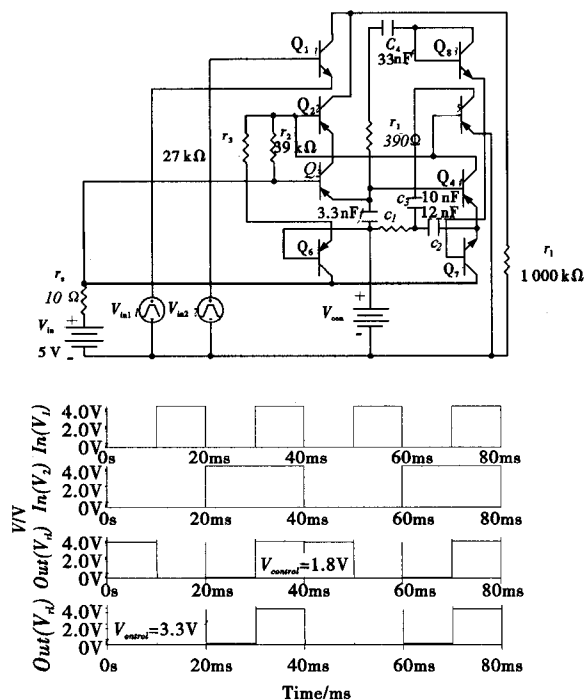


图7 多模态 NXOR/AND 门电路及其 PSPICE 仿真结果

可以看出当 V_{control} 分别为 1.8 V 和 3.3 V 时,电路分别实现了 NXOR 门和 AND 门功能。

表4 NXOR/AND 电路真值表

输入 V_1	输入 V_2	输入 V_r	
		($V_{\text{control}} = 1.8 \text{ V}$)	($V_{\text{control}} = 3.3 \text{ V}$)
0	0	1	0
0	1	0	0
1	0	0	0
1	1	1	1

3.4 实验四:多模态“NAND/NOR”门电路

实验四要求设计一个由控制电压 V_{control} 控制的 2 输入 1 输出多模态门电路 NAND/NOR. 当 $V_{\text{control}} = 1.8 \text{ V}$ 时,该电路实现 NOR 门功能;当 $V_{\text{control}} = 3.3 \text{ V}$ 时,该电路实现 NAND 门功能. 最终所生成电路及其 PSPICE 仿真结果如图 8 所示。

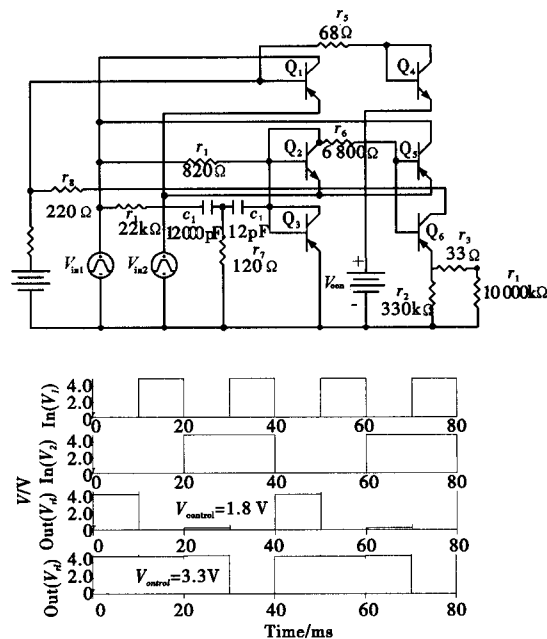


图8 多模态 NAND/NOR 门电路及其 PSPICE 仿真结果

实验中我们以 3.3 V 作为逻辑高电平“1”,1.8 V 作为逻辑低电平“0”,不同控制电压信号下电路真值表如表 5 所示,通过真值表可以看出当 V_{control} 分别为 1.8 V 和 3.3 V 时,电路分别实现了 NAND 门和 NOR 门功能。

表5 NAND/NOR 电路真值表

输入 V_1	输入 V_2	输入 V_r	
		($V_{\text{control}} = 1.8 \text{ V}$)	($V_{\text{control}} = 3.3 \text{ V}$)
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

4 结束语

本文提出了一种多模态门电路自动合成方法。该方法成功合成出了四个由控制电压控制的多模态门电路。实验表明使用基于图编码的多模态门电路的自动合成方法,能够有效地获得各种多模态门电路,减轻了设计者的负担,为将来使用多模态门电路来实现较大规模的多模态数字电路起着重要的作用。

参考文献:

- [1] Stoica A, Zebulum R S, Keymeulen D. Polymorphic Electronics [C] // Proc of Inter-national Conference on Evolvable Systems: From Biology to Hardware; Tokyo, Japan; Springer-Verlag press, 2001, 291-302.
- [2] Stoica A, Zebulum R S, Keymeulen D, et al. On polymorphic circuits and their design using evolutionary algorithms [C] // Proc of IASTED International Conference on Applied Informatics (AI2002). Innsbruck Austria: IEEE, 2002.
- [3] Stoica A, Zebulum R S, Guo X, et al. Taking evolutionary circuit design from experimentation to implementation: some useful techniques and a silicon demonstration [J]. Computers and Digital Techniques IEE Proceedings, 2004: 295-300.
- [4] Sekanina L. Evolutionary design of gate-level polymorphic digital circuits [C] // Applications of Evolutionary Computation, Berlin, DE: Springer, 2005: 185-194.
- [5] Sekanina L, Starecek L, Gajda Z, et al. Evolution of multifunctional combinational modules controlled by power supply voltage [C] // Proc of the 1st NASA/ESA Conference on Adaptive Hardware and Systems. IEEE Computer Society Los Alamitos (2006) Press, 2006: 186-193.
- [6] Sekanina L, Martinek T, Gajda Z. Extrinsic and intrinsic evolution of multifunctional combinational modules [J]. IEEE Congress on Evolutionary Computation, 2006: 2771-2778.
- [7] Sekanina L. Design and analysis of a new self-testing adder which utilizes polymorphic gates [J]. Design and Diagnostics of Electronic Circuits and Systems, 2007: 1-4.
- [8] Ardakani H H, Mashayekhi M. New efficient scalable BIST full adder using polymorphic gates [J]. Quality Electronic Design, 2009.
- [9] Mashayekhi M, Ardakani H H, Omidian A. A new efficient scalable BIST full adder using polymorphic gates [J]. World Academy of Science, Engineering and Technology, 2010.
- [10] Sekanina L, Ruzicka R, Gajda Z. Polymorphic FIR Filters with backup mode enabling power savings [C] // NASA/ESA Conference on Adaptive Hardware and Systems. 2009.
- [11] Ruzicka R. Dependable controller design using polymorphic counters digital system design, Architectures, Methods and Tools, 2009. DSD '09, 12th Euromicro Conference on, 2009: 35-362.
- [12] 叶勇, 王友仁, 陈燕. 基于 GP 算法的多模态门电路设计 [J]. 佳木斯大学学报: 科学自然版, 2009, 27(1): 81-84.
- [13] Koza J R. Automated synthesis of analog electrical circuits by means of Genetic Programming [J]. IEEE Trans On Evolutionary Computation, 1997, 1(2): 109-128.
- [14] Lohn J D. Circuit representation technique for automated circuit design [J]. IEEE Trans On Evolutionary Computation, 1999, 3(3): 205-219.
- [15] Lohn J D, Colombano S P, Caelum Res Corp; et al. A Circuit representation technique for automated circuit design [J]. IEEE Transactions on Evolutionary Computation, 1999, (3): 205-219.
- [16] Shouu-Jinn Chang, Hao-Sheng Hou, Yan-Kuin Su. Automated passive filter synthesis using a novel tree representation and genetic programming [J]. IEEE Computational Intelligence Society, 2006(1): 93-100.
- [17] Koza J R, Bnnett F H, Andre D, et al. Automated synthesis of analog electrical circuits by means of genetic programming [J]. IEEE Transactions on Evolutionary Computation, 1997, (1): 109-128.
- [18] De Castro L N, Von Zuben F J. Learning and Optimization Using the Clonal Selection Principle [J]. IEEE Transactions on Evolutionary Computation, Special Issue on Artificial Immune Systems, 2002, 6(3), 239-251.
- [19] L N de Castro, F J Von Zuben. The clonal selection algorithm with engineering applications [J]. Proceedings of GECCO'00, Workshop on Artificial Immune Systems and Their Applications, 2000: 36-37.

作者简介:

杨俊男, (1986—), 硕士. 研究方向为多模态电路自动合成方法.

甘朝晖男, (1969—), 教授. 研究方向为智能控制与决策、进化硬件.